

<b>信頼性試験結果</b> Reliability Test Result	Package(Type)	<b>TSST8</b>	ローム株式会社 トランジスタ・ダイオード ユニット  ROHM CO., LTD. Transistor/Diode Unit
	品名(Product)	<b>MOS FET</b> (Pb Free)	
作成日(Date) : 2/Feb/2010			

1. 試験結果(TEST RESULT)				
試験項目 (TEST ITEM)	試験条件 (TEST CONDITION)	準拠規格 (STANDARD)	n[pcs] (Sample QTY.)	Pn[pcs] (NG QTY.)
はんだ耐熱性 Soldering heat resistance	260±5°C, 10秒, リフロー方式 2回 260±5°C, 10sec., Reflow method 2times	EIAJ ED-4701/300 Test Method 301	22	0
	260±5°C, 10秒, はんだ槽 260±5°C, 10sec., Solder-bath		22	0
	350±10°C, 3秒, 手付け 350±10°C, 3sec., Hand soldering		22	0
はんだ付け性 Solderability	245±5°C, 3秒, リフロー方式 245±5°C, 3sec., Reflow method	-	22	0
	245±5°C, 3秒, はんだ槽 245±5°C, 3sec., Solder-bath	EIAJ ED-4701/300 Test Method 303	22	0
温度サイクル Temperature cycle	-55±5°C←→150±5°C 200サイクル -55±5°C←→150±5°C 200cycles	EIAJ ED-4701/100 Test Method 105	22	0
高温高湿逆バイアス High temp. high humidity reverse bias	85±2°C, 85±5%RH, 規定のバイアス, 1000時間 85±2°C, 85±5%RH, specified bias, 1000hours	EIAJ ED-4701/100 Test Method 102	22	0
飽和蒸気加圧 PCT Pressure cooker test	121±2°C, 100%RH, 203kPa, 100時間 121±2°C, 100%RH, 203kPa, 100hours	JESD22-A102C	22	0
高温逆バイアス High temperature reverse bias	Ta=Tstg max, 規定のバイアス, 1000時間 Ta=Tstg max., specified bias, 1000hours	EIAJ ED-4701/100 Test Method 101	22	0
端子強度(引っ張り) Lead strength (lead pull)	製品固定状態で軸方向荷重2.94N, 5±1sec保持. Sample body fixed, pulling lead axis direction, 2.94N, 5±1sec.	EIAJ ED-4701/400 Test Method 401	22	0

2. 測定項目及び故障判定基準(FAILURE CRITERIA)			
測定項目 (ITEM)	測定条件 (CONDITION)	故障判定基準 (CRITERIA)	
ゲート漏れ電流 : IGSS Gate-Source Leakage : IGSS	仕様書条件による Par specification	規格値の2倍以内 Within the two times of the standard value.	
ドレイン遮断電流 : IDSS Zero Gate Voltage Drain Current : IDSS	仕様書条件による Par specification	規格値の2倍以内 Within the two times of the standard value.	
順電圧アドミタンス :  Yfs  Forward Transfer Admittance :  Yfs	仕様書条件による Par specification	初期値に対する変化率 ±20% Changing rate of ±20%	
外観 Physical	目視 Visual check	著しい変化のないこと No outstanding change in physical.	
はんだ付け性 Solderability	目視 Visual check	リフロー方式 Reflow method	不濡れ(ランクC)無きこと Non-wetting (rank C) unseen.
		はんだ槽 Solder-bath	電極部の95%以上がはんだで覆われていること More than 95% of the electrode must be covered with solder.

3. 判定結果(JUDGEMENT)
各試験項目とも不具合の発生は認められておりません。 No failure is observed from each test item.
MOS+DI(TUMT5)